

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

009730973 **Image available**

WPI Acc No: 94-010823/199402

Related WPI Acc No: 92-286104; 93-186082; 93-381162; 94-010822; 94-016802;
94-038407; 94-068409; 94-069941; 94-228666; 94-297831; 94-352611;
94-352612; 96-458685; 98-185671; 99-067035; 99-112307; 99-127636;
99-410731

XRPX Acc No: N94-008710

**Thin-film FET for active-matrix liquid-crystal display panel - in which
channel length is longer than gate electrode length in channel direction**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 5267667	A	19931015	JP 9238637	A	19920129	H01L-029/784	199402 B

Priority Applications (No Type Date): JP 91237100 A 19910823

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 5267667	A		12			

Abstract (Basic): JP 5267667 A

Dwg.8/15

Title Terms: THIN; FILM; FET; ACTIVE; MATRIX; LIQUID; CRYSTAL; DISPLAY;
PANEL; CHANNEL; LENGTH; LONG; GATE; ELECTRODE; LENGTH; CHANNEL;
DIRECTION

Index Terms/Additional Words: LCD

Derwent Class: P81; U12; U14

International Patent Class (Main): H01L-029/784

International Patent Class (Additional): G02F-001/136; H01L-021/336

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04275967 **Image available**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: 05-267667 [JP 5267667 A]

PUBLISHED: October 15, 1993 (19931015)

INVENTOR(s): YAMAZAKI SHUNPEI

MASE AKIRA

HIROKI MASAACKI

TAKEMURA YASUHIKO

CHIYOU KOUYUU

UOJI HIDEKI

NEMOTO HIDEKI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 04-038637 [JP 9238637]

FILED: January 29, 1992 (19920129)

INTL CLASS: [5] H01L-029/784; G02F-001/136; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R097
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);
R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1494, Vol. 18, No. 35, Pg. 94,
January 19, 1994 (19940119)

ABSTRACT

PURPOSE: To reduce leakage current in a reverse bias condition improve aperture ratio, by making them channel length longer than the channel direction length of a gate electrode in an insulated-gate field-effect transistor.

CONSTITUTION: A blocking layer 24 is formed on an insulating board 25, on which a source region 20, a drain region 21, and a channel region 19 are arranged as semiconductor layers. Material capable of anodic oxidation for a gate electrode 15 and a gate electrode part turning to an oxide layer 16 is selected, and the oxide layer 16 is formed by anodizing the surface part. Thereby the distance between the source region 20 and the drain

region 21 being the ion implantation regions, i.e., the channel region 28 is made longer than the effective channel direction length of the gate electrode 15 by nearly two times the thickness of the oxide layer 16. As the result, the electric field due to the gate electrode is not applied at all to a part 26 and a part 27 in the channel region 19 which face the oxide layer 16 formed on both side surfaces of the gate, electrode or is decreased as compared with the part vertically under the gate electrode.

(11)特許出願公開番号

特開平5-267667

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 21/336		9056-4M	H 0 1 L 29/ 78	3 1 1 H
		9056-4M		3 1 1 P
審査請求 有 請求項の数 7 (全 12 頁)				

(21)出題番号 特願平4-38637

(22)出願日 平成4年(1992)1月29日

(31)優先権主張番号 特願平3-237100

(32)優先日 平3(1991)8月23日

(33)優先権主張国 日本(JP)

(71)出題人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 發明者 間瀬 晃

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 ▲ひろ▼木 正明

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

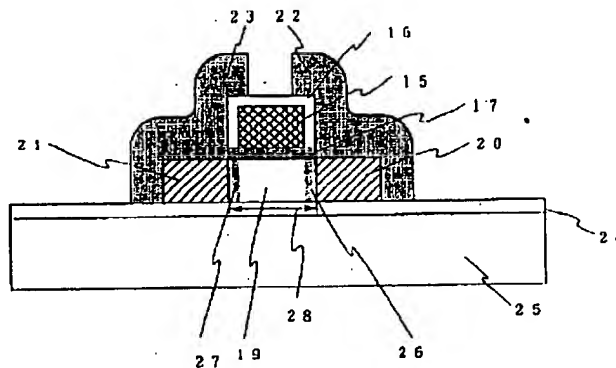
[最終頁に続く](#)

(54)【発明の名称】 半導体装置とその作製方法

(57) 【要約】

【目的】 アクティブマトリクス型電気光学装置に用いる薄膜絶縁ゲート型電解効果トランジスタにおいて、逆バイアス時のリーク電流を減少せしめた半導体装置とその作製方法を提供する。

【構成】 絶縁ゲート型電解効果トランジスタにおいて、チャネル長をゲート電極のチャネル長方向の長さよりも長くすることにより、チャネル領域の両側部にゲート電極による電界の全くかからないあるいはゲート電極垂直下に比較して非常に弱いオフセット領域を形成することを特徴とする。



【特許請求の範囲】

【請求項 1】絶縁基板上に少なくとも半導体層、絶縁膜層および導体層を有する絶縁ゲート型電界効果トランジスタにおいて、チャンネル長がゲート電極のチャンネル長方向の長さよりも長い事を特徴とする半導体装置。

【請求項 2】請求項 1 において、チャンネル長はゲート電極のチャンネル長方向の長さよりもゲート電極表面に形成された酸化物層の厚みの概略 2 倍程度長いことを特徴とする半導体装置。

【請求項 3】絶縁基板上に少なくとも半導体層、絶縁膜層および導体層を有する絶縁ゲート型電界効果トランジスタの作製方法において、半導体層およびゲート絶縁膜層を形成後に陽極酸化可能な材料によってゲート電極部を形成した後に、前記半導体層に p 型化または n 型化せしめる不純物イオンを注入してソースまたはドレイン領域を形成した後に、前記ゲート電極部表面を陽極酸化し、その後に熱処理工程を有することを特徴とする半導体装置の作製方法。

【請求項 4】請求項 3 において、半導体層上の絶縁膜層を形成したのち、該絶縁膜層にリンを導入する工程を有することを特徴とする半導体装置の作製方法。

【請求項 5】絶縁基板上に少なくとも半導体層、絶縁膜層および導体層を有する絶縁ゲート型電界効果トランジスタの作製方法において、半導体層およびゲート絶縁膜層を形成後に陽極酸化可能な材料によってゲート電極部を形成した後に、前記ゲート電極部表面を陽極酸化し、その後に前記半導体層に p 型化または n 型化せしめる不純物イオンを注入してソースまたはドレイン領域を形成した後に、熱処理工程を有することを特徴とする半導体装置の作製方法。

【請求項 6】1 つの絶縁基板上に形成された少なくとも 2 つの電界効果トランジスタを有する回路において、一つのトランジスタのオフセット領域の幅は他のトランジスタのオフセット領域の幅より長いことを特徴とする半導体装置。

【請求項 7】1 つの絶縁基板上に形成された少なくとも 2 つの電界効果トランジスタを有する回路を作製する方法に関し、金属あるいは半導体材料よりなる少なくとも 2 つのトランジスタのゲート電極を電氣的に接続する配線を形成する工程と、前記配線に電流を通じて陽極酸化をおこなう工程と、前記トランジスタのうち、少なくとも 1 つのトランジスタのゲート電極を前記配線から電氣的に分離する工程と、再び、前記配線に電流を流して陽極酸化をおこなう工程とを有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリクス型電気光学装置、特にアクティブマトリクス型液晶電気光学装置等に利用でき、明解なスイッチング特性を有す

る電界効果型トランジスタの構造およびその作製方法を示すものである。

【0002】

【従来の技術】従来のアクティブマトリクス型液晶電気光学装置に用いる薄膜絶縁ゲート型電界効果トランジスタは、図 2 に示すような構造を有している。絶縁基板 9 上にブロッキング層 8 を有し、ソース 4、ドレイン 5、およびチャンネル領域 3 を有する半導体層上にゲート絶縁膜 2 とゲート電極 1 を有する。その上に層間絶縁膜 12 およびソース電極 6、ドレイン電極 7 を有する。

【0003】この従来の絶縁ゲート型電界効果トランジスタの作製手順は、ガラス基板 9 上にブロッキング層を SiO_2 をターゲットとしてスパッタ法で成膜したのちに、プラズマ CVD 法を用いて半導体層を作製し、それをパターンニングすることでソース、ドレイン、チャンネル領域となる半導体層を形成の後に、スパッタ法を用いて酸化珪素からなるゲート絶縁膜 2 を成膜し、その後減圧 CVD 法を用いて P (リン) を高濃度ドーピングしたゲート電極用導電層を成膜の後にパターンニングを施してゲート電極 1 を作製する。その後、ゲート電極をマスクとした不純物イオンの注入を行い、ソース 5 およびドレイン 4 を作製し、その後熱処理を行って活性化を行う、というものであった。

【0004】この様に作製した絶縁ゲート型電界効果トランジスタは、ゲート電極 1 のチャンネル長方向の長さ L_1 とチャンネル長 L_2 はほぼ等しい。

【0005】

【発明が解決しようとする課題】このような構造を有する絶縁ゲート型電界効果トランジスタの電流電圧特性は n チャンネルの場合図 3 に示す様に、逆バイアス領域 13 において、ソースドレイン間の印加電圧が増加するにつれて、リーク電流が増加するという欠点を有していた。

【0006】このようなリーク電流が増した場合、この素子をアクティブマトリクス型液晶電気光学装置に用いた時には、図 5 (A) に示した様に、書き込み電流 30 を通じて液晶 29 に蓄電された電荷は、非書き込み期間中に素子のリーク部分を通してリーク電流 31 が放電されてしまい、良好なコントラストを得ることができなかった。

【0007】そのために、このような場合従来例として図 5 (B) に示した様に、電荷保持のためのコンデンサー 32 を設置することが必要になっていた。しかしながら、これらコンデンサーを形成するためには、金属配線による容量用の電極を必要とするために、開口率を低下させる要因となっていた。またこれを ITO などの透明電極にて形成し開口率を向上させる例も報告されているが、余分なプロセスを必要とするために、歓迎されるものではなかった。本発明は以上の様な問題を解決するものである。

【0008】

【問題を解決するための手段】この問題の一つの解決方法として、本発明者らは絶縁ゲート型電界効果トランジスタにおいて、チャンネル長（ソース領域とドレイン領域の間の距離）をゲート電極のチャンネル長方向の長さよりも長くすることにより、チャンネル領域のうちのソース領域またはドレイン領域に接する部分にゲート電極による電界のかからないまたは非常に弱いオフセット領域を形成することで、図4に示すような電流電圧特性をとることを知見した。

【0009】本発明の基本的な構成を図1に示す。絶縁基板25上にブロッキング層24があり、その上に半導体層としてソース領域20、ドレイン領域21、およびチャンネル領域19を設ける。チャンネル領域19上にはゲート絶縁膜17とその上に陽極酸化可能な材料を陽極酸化して絶縁層である酸化物層16を形成したゲート電極15が形成されている。ソース領域、ドレイン領域にそれぞれ接してソース電極22、ドレイン電極23を設ける。

【0010】図1に示す様に、ゲート電極15と酸化物層16となるゲート電極部に陽極酸化が可能な材料を選び、その表面部分を陽極酸化して酸化物層16を形成することで、イオン打ち込みの領域であるソース領域20とドレイン領域21の間の距離すなわちチャンネル長28は、実質的なゲート電極15のチャンネル長方向の長さよりも酸化物層16の厚みの概略2倍程度長くなる。ゲート電極部の材料としては、主としてチタン(Ti)、アルミニウム(Al)、タンタル(Ta)、クロム(Cr)、シリコン(Si)単体、あるいはそれらの合金が適している。

【0011】その結果、ゲート電極両側面に形成された酸化物層16にゲート絶縁膜17を介して向かい合うチャンネル領域19中の部分26および27には、ゲート電極による電界が全くかからないあるいはゲート電極の垂直下の部分と比較して非常に弱くなる。

【0012】本装置の作製方法は、ソース、ドレイン、チャンネル領域となる半導体層およびゲート絶縁膜層17を形成後に陽極酸化可能な材料によってゲート電極部を形成した後に、前記半導体層にp型化またはn型化せしめる不純物イオンを注入してソース領域20およびドレイン領域21を形成し、その後ゲート電極部表面部分を陽極酸化してゲート電極15と酸化物層16を形成し、熱処理工程等を施す、というものである。

【0013】または、前記半導体層およびゲート絶縁膜層17を形成後に陽極酸化可能な材料によってゲート電極部を形成した後に、ゲート電極部表面部分を陽極酸化してゲート電極15と酸化物層16を形成して、その後前記半導体層にp型化またはn型化せしめる不純物イオンを注入してソース領域20およびドレイン領域21を形成してから熱処理工程を施す工程でも良い。

【0014】以上のような工程をとることで、チャンネル

長がゲート電極のチャンネル長方向の長さより長い絶縁ゲート型電界効果トランジスタを、マスクずれ等による性能のばらつきなどを発生することなく容易かつ確実に作製することが可能となる。

【0015】以下に実施例を示す。

【実施例】

【0016】〔実施例1〕本実施例では、対角1インチを有する液晶電気光学装置を用いた、ビデオカメラ用ビューファインダーを作製し、本発明を実施したので説明を加える。

【0017】本実施例では画素数が 387×128 の構成にして、本発明の構成を有した低温プロセスによる高移動度TFT（薄膜トランジスタ）を用いた素子を形成し、ビューファインダーを構成した。本実施例で使用する液晶表示装置の基板上的のアクティブ素子の配置の様子を図7に示し、図6に本実施例の回路図を示す。図7のA-A'断面およびB-B'断面を示す作製プロセスを図8に描く。A-A'断面はNTFTを示し、B-B'断面はPTFTを示す。

【0018】図8(A)において、安価な、700℃以下、例えば約600℃の熱処理に耐え得るガラス基板51上にマグネトロンRF（高周波）スパッタ法を用いてブロッキング層52としての酸化珪素膜を1000～3000Åの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度150℃、出力400～800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30～100Å/分であった。

【0019】この上にシリコン膜をLPCVD（減圧気相）法、スパッタ法またはプラズマCVD法により形成した。減圧気相法で形成する場合、結晶化温度よりも100～200℃低い450～550℃、例えば530℃でジシラン(Si_2H_6)またはトリシラン(Si_3H_8)をCVD装置に供給して成膜した。反応炉内圧力は30～300Paとした。成膜速度は50～250Å/分であった。PTFTとNTFTとのスレッショールド電圧(V_h)に概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0020】スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-5} \text{Pa}$ 以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20～80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150℃、周波数は13.56MHz、スパッタ出力は400～800W、圧力は0.5Paであった。

【0021】プラズマCVD法により珪素膜を作製する場合、温度は例えば300℃とし、モノシラン(SiH_4)またはジシラン(Si_2H_6)を用いた。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成

膜した。

【0022】これらの方法によって形成された被膜は、酸素が $5 \times 10^{21} \text{cm}^{-3}$ 以下であることが好ましい。この酸素濃度が高いと、結晶化させにくく、熱アニール温度を高くまたは熱アニール時間を長くしなければならない。また少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまう。そのため $4 \times 10^{19} \sim 4 \times 10^{21} \text{cm}^{-3}$ の範囲とした。水素は $4 \times 10^{20} \text{cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{cm}^{-3}$ として比較すると1原子%であった。

【0023】上記方法によって、アモルファス状態の珪素膜を $500 \sim 5000 \text{\AA}$ 、例えば 1500\AA の厚さに作製の後、 $450 \sim 700^\circ\text{C}$ の温度にて12～70時間非酸化雰囲気にて中温の加熱処理、例えば水素雰囲気にて 600°C の温度で保持した。珪素膜の下基板表面にアモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

【0024】アニールにより、珪素膜はアモルファス構造から秩序性の高い状態に移り、一部は結晶状態を呈する。特にシリコンの成膜後の状態で比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかしこれらの領域間に存在する珪素により互いの結合がなされるため、珪素同志は互いにひっぱりあう。レーザラマン分光により測定すると単結晶の珪素のピーク 522cm^{-1} より低周波側にシフトしたピークが観察される。その見掛け上の粒径は半値巾から計算すると、 $50 \sim 500 \text{\AA}$ とマイクロクリスタルのようにになっているが、実際はこの結晶性の高い領域は多数あってクラスタ構造を有し、各クラスタ間は互いに珪素同志で結合（アンカリング）がされたセミアモルファス構造の被膜を形成させることができた。

【0025】結果として、被膜は実質的にグレインバウンダリ（以下GBという）がないといってもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた個所を通じ互いに容易に移動し得るため、いわゆるBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度（ μ_h ） $= 10 \sim 20 \text{cm}^2/\text{Vsec}$ 、電子移動度（ μ_e ） $= 15 \sim 300 \text{cm}^2/\text{Vsec}$ が得られる。

【0026】他方、上記の如き中温でのアニールではなく、 $900 \sim 1200^\circ\text{C}$ の高温アニールにより被膜を多結晶化してもよい、しかしその場合は核からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きい、GBでのバリア（障壁）を作ってそこでのキャリアの移動を阻害してしまう。結果として $1 \text{cm}^2/\text{Vsec}$ 以上の移動度がなかなか得られないのが実情である。そのために酸素、炭素、窒素等の不純物濃度をセミアモルファスのものよりも数分の1から数十分の1にする必要

がある。その様にした場合、 $50 \sim 100 \text{cm}^2/\text{Vsec}$ が得られた。

【0027】このようにして形成した珪素膜にフォトエッチングを施し、NTFT用の半導体層53（チャンネル巾 $20 \mu\text{m}$ ）、PTFT用の半導体層54を作製した。

【0028】この上にゲート絶縁膜となる酸化珪素膜を $500 \sim 2000 \text{\AA}$ 例えば 1000\AA の厚さに形成した。これはブロッキング層としての酸化珪素膜の作製と同一条件とした。これを成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0029】この後、この上側にアルミニウム膜を形成した。これをフォトマスクにてパターンニングして図8(B)を得た。NTFT用のゲート絶縁膜55、ゲート電極部56を形成し、両者のチャンネル長方向の長さは $10 \mu\text{m}$ すなわちチャンネル長を $10 \mu\text{m}$ とした。同様に、PTFT用のゲート絶縁膜57、ゲート電極部58を形成し、両者のチャンネル長方向の長さは $7 \mu\text{m}$ すなわちチャンネル長を $7 \mu\text{m}$ とした。また双方のゲート電極部56、58の厚さは共に $0.8 \mu\text{m}$ とした。図8(C)において、PTFT用のソース59、ドレイン60に対し、ホウ素(B)を $1 \sim 5 \times 10^{15} \text{cm}^{-2}$ のドーズ量でイオン注入法により添加した。次に図8(D)の如く、フォトレジスト61をフォトマスクを用いて形成した。NTFT用のソース62、ドレイン63としてリン(P)を $1 \sim 5 \times 10^{15} \text{cm}^{-2}$ のドーズ量でイオン注入法により添加した。

【0030】その後、ゲート電極部に陽極酸化を施した。L-酒石酸をエチレングリコールに5%の濃度で希釈し、アンモニアを用いてpHを 7.0 ± 0.2 に調整した。その溶液中に基板を浸し、定電流源の+側を接続し、-側には白金の電極を接続して 20mA の定電流状態で電圧を印加し、 150V に到達するまで酸化を継続した。さらに、 150V で定電圧状態で加え 0.1mA 以下になるまで酸化を継続した。このようにして、ゲート電極部56、58の表面に酸化アルミニウム層64を形成し、NTFT用のゲート電極65、PTFT用のゲート電極66を得た。酸化アルミニウム層64は $0.3 \mu\text{m}$ の厚さに形成した。

【0031】次に、 600°C にて10～50時間再び加熱アニールを行った。NTFTのソース62、ドレイン63、PTFTのソース59、ドレイン60を不純物を活性化して N^+ 、 P^+ として作製した。またゲート絶縁膜55、57下にはチャンネル形成領域67、68がセミアモルファス半導体として形成されている。

【0032】本作製方法においては、不純物のイオン注入とゲート電極周囲の陽極酸化の順序を入れ換えても良い。この様に、ゲート電極の周囲に酸化金属からなる絶縁層を形成したことで、ゲート電極の実質長さは、チャンネル長さよりも絶縁膜の厚さの2倍分、この場合は $0.6 \mu\text{m}$ だけ短くなることになり、電界のかからないオフ

セット領域を設けることで、逆バイアス時のリーク電流を減少させることが出来た。

【0033】本実施例では熱アニールは図8(A)、

(E)で2回行った。しかし図8(A)のアニールは求める特性により省略し、双方を図8(E)のアニールにより兼ね製造時間の短縮を図ってもよい。図8(E)において、層間絶縁物69を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてもよい。層間絶縁物は0.2~0.6 μm たとえば0.3 μm の厚さに形成し、その後、フォトマスクを用いて電極用の窓70を形成した。さらに、図8(F)に示す如くこれら全体にアルミニウムをスパッタ法により形成し、リード71、73、およびコンタクト72をフォトマスクを用いて作製した後、表面を平坦化用有機樹脂74例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけをフォトマスクにて行った。

【0034】2つのTFTを相補型構成とし、かつその出力端を液晶装置の一方の画素の電極を透明電極としてそれに連結するため、スパッタ法によりITO(インジウムスズ酸化膜)を形成した。それをフォトマスクによりエッチングし、電極75を構成させた。このITOは室温~150℃で成膜し、200~400℃の酸素または大気中のアニールにより成就した。かくの如くにしてNTFT76とPTFT77と透明導電膜の電極75とを同一ガラス基板51上に作製した。得られたTFTの電気的な特性はPTFTで移動度は20(cm^2/Vs)、 V_{th} は-5.9(V)で、NTFTで移動度は40(cm^2/Vs)、 V_{th} は5.0(V)であった。

【0035】上記の様な方法に従って液晶装置用の一方の基板を作製した。この液晶表示装置の電極等の配置は図7に示している。NTFT76およびPTFT77を第1の信号線40と第2の信号線41との交差部に設けた。このようなC/TFTを用いたマトリクス構成を有せしめた。NTFT76は、ドレイン63の入力端のリード71を介し第2の信号線41に連結され、ゲート56は多層配線形成がなされた信号線40に連結されている。ソース62の出力端はコンタクト72を介して画素の電極75に連結している。

【0036】他方、PTFT77はドレイン60の入力端がリード73を介して第2の信号線41に連結され、ゲート58は信号線40に、ソース59の出力端はコンタクト72を介してNTFTと同様に画素電極75に連結している。かかる構造を左右、上下に繰り返すことにより、本実施例は構成されている。

【0037】次に第二の基板として、基板ガラス上にスパッタ法を用いて、酸化珪素膜を2000Å積層した基板上に、やはりスパッタ法によりITO(インジウム・スズ酸化膜)を形成した。このITOは室温~150℃で成膜し、200~400℃の酸素または大気中の

アニールにより成就した。また、この基板上にカラーフィルターを形成して、第二の基板とした。

【0038】その後、前記第一の基板と第二の基板によって、紫外線硬化型アクリル樹脂とネマチック液晶組成物の6対4の混合物を挟持し、周囲をエポキシ性接着剤にて固定した。基板上のリードはそのピッチが46 μm と微細なため、COG法を用いて接続をおこなった。本実施例ではICチップ上に設けた金バンプをエポキシ系の銀パラジウム樹脂で接続し、ICチップと基板間を固着と封止を目的としたエポキシ変成アクリル樹脂にて埋めて固定する方法を用いた。その後、外側に偏光板を貼り、透過型の液晶表示装置を得た。

【0039】〔実施例2〕本実施例ではオフセット領域の幅によるセミアモルファスシリコンTFTの特性の違いについて記述する。本実施例では、セミアモルファスシリコンTFTはアルミニウムゲートとし、アルミニウムゲートの周囲を陽極酸化法によって酸化することによって、オフセット領域を形成させた。以下に詳細な作製方法を記述する。

【0040】ガラス基板上に窒化珪素膜と酸化珪素膜の多層膜を形成し、プラズマCVD法によって、アモルファス上のシリコン膜を150nm形成した。パターンニングでは、その幅を80 μm とした。したがって、このTFTのチャネル幅は80 μm である。これを酸素雰囲気中で600℃、60時間加熱することによってセミアモルファス状態のシリコンとした。

【0041】次いで、酸素雰囲気中での酸化珪素ターゲットのスパッタリングによって、ゲート酸化膜となる酸化珪素被膜を形成した。その厚さは115nmとした。さらに、電子ビーム蒸着によって、アルミニウム被膜を形成し、公知のフォトリソグラフィ法によってアルミニウム被膜および下地の酸化珪素被膜をエッチングして、ゲート電極を形成した。エッチングには反応性イオンエッチング(RIE)法を使用した。このようにして形成したゲート電極のチャネル長は8 μm とした。

【0042】そして、ゲート電極およびその配線を陽極酸化をおこなった。陽極酸化の方法は以下のおこなった。まず、容器内に3%の酒石酸のエチレングリコール溶液を入れ、これに5wt%のアンモニア水を加えて、pHを7.0 \pm 0.2となるように調整した。そして、25 \pm 2℃の温度で白金電極を陰極として、ガラス基板ごと溶液中に浸し、アルミニウム配線を直流電源の正極に接続して、陽極酸化をおこなった。

【0043】陽極酸化では、最初に0.2~1.0mA/ cm^2 の定電流を流し、100~250Vの適当な電圧に到達した後は、電圧を一定に保ったまま、陽極酸化を進め、電流が0.005mA/ cm^2 まで減少した時点で通電をやめて、取り出した。本発明者の実験では、初期の定電流の値は酸化膜形成の時間にのみ影響があり、最終的に形成される酸化膜の厚さにはほとんど影響

しないことが明らかになった。酸化膜の厚さに大きな影響力を持つパラメータは到達最大電圧であり、例えば、これが100V、150V、200V、250Vであるときの得られる酸化膜の厚さは、それぞれ70nm、140nm、230nm、320nmであった。また、このときには酸化されるアルミニウムの厚さの1.5倍の酸化アルミニウムが得られることが本発明者の実験から明らかになった。さらに、得られる酸化膜の厚さは全ての部分にわたって極めて均質であった。

【0044】その後、レーザードーピング法によってソース、ドレイン領域を形成した。レーザードーピング法は以下の方法によっておこなった。使用したレーザーは、エキシマーレーザーの1種であるKrFレーザーで、その発振波長は248nmである。試料を気密性のある容器内に配置し、95paの減圧雰囲気とせしめ、内部にドーピングガスとしてジボラン(B_2H_6)、あるいはフォスヒン(PH_3)を導入して、1ショットのエネルギーが350mJのレーザーパルスで50ショット照射した。

【0045】ドーピングガスには、P型チャンネルを形成する場合には水素で希釈したジボランを用い、その流量はジボラン100sccm、水素20sccmとした。また、N型チャンネルを形成する場合にはフォスヒンを用い、その流量は100sccmとした。

【0046】その後、チャンネル領域の活性化を促進する目的で、水素中で250℃、30分のアニールをおこなった。そして、公知の方法によって層間絶縁膜とソース、ドレイン電極・配線を形成し、TFETを完成させた。

【0047】このようにして作製したTFETの特性例を図9および図10に示す。図9はPチャンネルTFET、図10はNチャンネルTFETである。オフセットの大きさは直接測定することは困難であるので、ゲート電極の周囲の酸化膜の厚さ(オフセットの大きさを十分に反映すると考えられる)によって、本発明の効果を記述する。

【0048】図9、図10から明らかなように、酸化膜の厚さが大きいほど、すなわちオフセット領域の幅が大きいほど、逆方向リーク電流やオフ電流が減少することがわかった。特にその効果はNチャンネルTFETで著しいことがあきらかになった。すなわち、図から分かるように、NチャンネルTFETでは、ゲート電圧が0のときの電流(オフ電流)が、オフセット領域の形成とともに減少して、実用的なレベルにまで低下した。PチャンネルTFETでは、オフ電流が低下するということではなかったが、逆方向リーク電流は著しく減少した。このようにオフセット領域を設けることによるオフ電流の減少は、図11に示される。図中で I_{OFF} はオフ電流、 I_{ON} はオン電流である。

【0049】また、オフセット領域を設けることによるTFETのしきい値電圧(V_{th})の変化は見られなかつ

た。この様子を図12に示す。しかしながら、別の実験によると、オフセット領域が異常に大きい場合にはチャンネルの形成が不連続的であるので、特性の悪化が観測された。例えば、図13に示すようにオフセット領域の幅が300nmを越えると、NチャンネルでもPチャンネルでも急速に電界移動度が減少した。これらの結果を考慮すると、オフセット領域の幅としては、200~400nmが適していることが明らかになった。

【0050】〔実施例3〕本発明によって得られるTFETにおいては、オフセット領域の幅によって、オフ電流だけでなく、ソース/ドレイン間の耐圧や動作速度が変化する。したがって、例えば、陽極酸化膜の厚さ等のパラメータを最適化することによって、目的に応じたTFETを作製することが出来る。しかしながら、このようなパラメータは一般に1枚の基板上に形成された個々のTFETに対して調節できるものではない。例えば、実際の回路においては、1枚の基板上に、低速動作でもよいが、高耐圧のTFETと低耐圧でもよいが、高速動作の要求されるTFETを同時に形成することが望まれる場合がある。一般に、本発明においては、オフセット領域の幅が大きいほど、オフ電流が小さく、耐圧性も向上するが、動作速度が低下するという欠点もあった。

【0051】本実施例はこのような問題を解決する1例を示す。図14(断面図)および図15(上面図)には本実施例を示す。本実施例では、特願平3-296331に記述されるような、PチャンネルTFETとNチャンネルTFETを1つの画素(液晶画素等)を駆動するために使用する画像表示方法において使用される回路の作製に関するものである。ここで、NチャンネルTFETは高速性が要求され、耐圧はさほど問題とされない。一方、PチャンネルTFETは、動作速度はさほど問題とされないが、オフ電流が低いことが必要とされ、場合によっては耐圧性がよいことも必要とされる。したがって、NチャンネルTFETは陽極酸化膜が薄く(20~100nm)、PチャンネルTFETは陽極酸化膜が厚い(250~400nm)ことが望まれる。以下にその作製工程について説明する。

【0052】図14(A)および図15(A)に示すようにコーニング7059を基板101として、実質真性のアモルファスあるいは多結晶半導体、例えばアモルファスシリコン膜を厚さ50nmだけ形成し、これを島状にパターニングして、NチャンネルTFET領域102とPチャンネルTFET領域103を形成する。これを窒素雰囲気中600℃で60時間アニールし、再結晶化させた。

【0053】さらに、ECRプラズマCVD法によってゲート酸化膜104として、酸化珪素被膜を厚さ115nmだけ堆積した。このようにして形成した酸化珪素膜中にナトリウム等の可動イオンが存在する場合には、リン等の可動イオンを固定化する元素を積極的に膜中に導入することによって、可動イオンによる障害を除去する

ことが望ましい。例えば、イオンドーピング（プラズマドーピングともいう）によってこれらの元素を導入することができる。

【0054】本発明人等の知見によれば、イオンドーピング法によって酸化珪素中に導入されたリンはナトリウムのゲッターとして有効に機能する。イオンドーピング法では、リンイオンの加速電圧を2～30 keV、例えば10 keVとし、また、被ドーピングターゲット（この場合は酸化珪素膜）付近の圧力を $2 \times 10^{-5} \sim 5 \times 10^{-4}$ torr、例えば 1×10^{-4} torrとした。また、リンの濃度は、 $5 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 、例えば $2 \times 10^{14} \text{ cm}^{-2}$ というように、通常のMOSトランジスタの不純物領域形成の際の不純物導入量より少なくした。

【0055】このようにしてリンを導入した後に窒素雰囲気中600℃で24時間のアニールをおこない、イオンドーピングの際に生じた酸化珪素膜中の欠陥等を除去した。このように、酸化珪素膜中にリンを導入することによって、可動イオンによる特性の劣化を格段に削減し、信頼性を向上せしめることができた。例えば、上記の方法で形成した酸化珪素を有するMOSキャパシタにおいて、150℃、1時間、±20Vのバイアス／温度処理（BT処理）をおこなったところ、しきい値電圧の変動はわずかに1Vであった。一方、上記のようなリンの導入をおこなわなかった場合には、しきい値電圧は10V以上も変動した。

【0056】このように酸化珪素膜を形成した後、スパッタリング法によって耐熱金属であるタンタルの被膜を厚さ500nmだけ形成し、これをパターニングして、NチャネルTFTのゲート電極部105およびPチャネルTFTのゲート電極部106を形成した。タンタルのかわりに抵抗の小さな（不純物が十分にドーパされた）多結晶シリコンでもよい。このときのチャンネルの大きさは長さを8μm、幅を8μmとした。また、全てのゲート電極・配線は図15（A）に示されているように共通の配線150に電気的に接続されている。

【0057】さらに、ゲート電極・配線150に電気を通じ、陽極酸化法によって、ゲート電極・配線105、106の周囲（上面および側面）に酸化アルミニウムの被膜107、108を形成した。陽極酸化は実施例2と同じ条件でおこなった。ただし、最大電圧は50Vとした。したがって、この工程で作製された陽極酸化膜の厚さは約60nmである。（図14（B））

【0058】次に図15（B）において、151で示されるように、ゲート電極・配線105をレーザーエッチングによって配線150から切り離した。そして、この状態で再び、陽極酸化を始めた。条件は先と同じであるが、このときには最大電圧は250Vまで上げた。その結果、配線105には電流が流れないので、何の変化も生じなかったが、配線106には電流が流れるため、ゲ

イト配線106の周囲に厚さ約300nmの酸化タンタル皮膜109が形成された。（図14（C））

【0059】その後、イオンドーピング法によって、不純物を島状半導体102および103に導入した。公知のCMOS技術を採用することにより、半導体領域102にはリン（P）を、半導体領域103には硼素（B）を導入した。イオンドーピングのエネルギーは80 keVととした。本発明人らの知るところでは、厚さ100～300nmのゲート絶縁膜を透過してイオンドーピングをおこなう場合には、このエネルギーが100 keVを越えると、イオン注入エネルギーによる半導体の結晶性が著しく破壊され、そのような不純物拡散領域の活性化をおこなうためには、600℃以上の高温が必要とされたが、そのようなプロセスでは製品の歩留りを高くすることが非常に難しかった。しかしながら、イオンドーピングのエネルギーが100 keV以下であれば、600℃以下、例えば450～500℃で十分に抵抗の低い状態とすることが出来た。

【0060】イオンドーピングの後、窒素雰囲気中で、500℃のアニールを30時間おこなうことによって、ソース／ドレイン領域のシート抵抗を十分低くすることが出来た。ここまでの状態を図14（D）に示す。図から明らかなように、左側のTFTのオフセットの幅は小さく、また、右側のTFTのオフセットの幅は大きい。その後、公知の技術によって、金属配線106や150の必要な箇所（例えば152や153）を切断し、さらに、層間絶縁膜を形成し、コンタクトホールを形成し、各電極に配線（例えば112や113）を形成し、図15（C）に示すように回路を完成させた。

【0061】このようにして作製された回路においては、NチャネルTFTは、オフセット領域の幅が小さく、オフ電流は若干多いが、高速性に優れていた。一方、PチャネルTFTは、高速動作は困難であったが、オフ電流が少なく、画素キャパシタに蓄積された電荷を保持する能力に優れていた。

【0062】このように1枚の基板上に機能が異なるTFTを集積しなければならない場合は他にもある。例えば、液晶表示ドライバにおいては、シフトレジスタ等の論理回路には高速TFTが、出力回路には高耐圧TFTが要求される。このような相反する目的に応じたTFTを作製する場合には本実施例で示した方法は有効である。

【0063】

【発明の効果】このようにして、本発明ではゲート電極の表面に陽極酸化からなる絶縁膜層を設けることで、チャンネル長をゲート電極のチャンネル長方向の長さよりも長くなり、チャンネル領域の両側部にゲート電極による電界のかからないあるいは非常に弱い電界のかかるオフセット領域を設けることができ、逆バイアス時のリーク電流を削減することが出来た。その結果、従来不可欠であっ

た電荷保持容量が不要となって、従来20%程度であった開口率を35%以上にすることができ、より良好な表示品質を得ることができた。

【図面の簡単な説明】

【図1】本発明による半導体装置の構造を示す。

【図2】従来例による半導体装置の構造を示す。

【図3】従来例による半導体装置の電流電圧特性を示す。

【図4】本発明による半導体装置の電流電圧特性を示す。

【図5】従来例によるアクティブマトリクス型液晶電気光学装置の回路構成を示す。

【図6】実施例1におけるアクティブマトリクス型液晶電気光学装置の回路図を示す。

【図7】実施例1におけるアクティブマトリクス型液晶電気光学装置の構造を示す。

【図8】実施例1におけるアクティブマトリクス型液晶電気光学装置の作製工程を示す。

【図9】実施例2におけるPチャンネルTFTの電流電圧特性を示す。

【図10】実施例2におけるNチャンネルTFTの電流電圧特性を示す。

【図11】実施例2におけるドレイン電流の陽極酸化膜厚依存性を示す。

【図12】実施例2におけるしきい値電圧の陽極酸化膜厚依存性を示す。

【図13】実施例2における電界移動度の陽極酸化膜厚

依存性を示す。

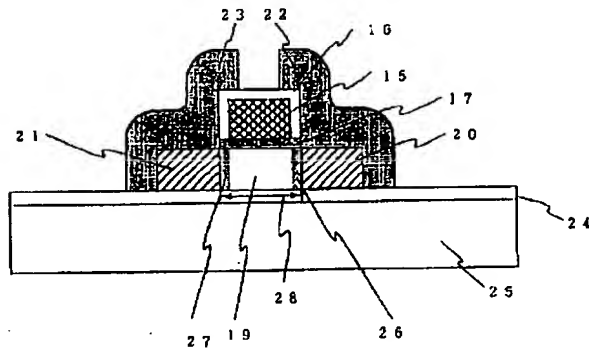
【図14】実施例2におけるTFT作製工程の断面図を示す。

【図15】実施例2におけるTFT作製工程の上面図を示す。

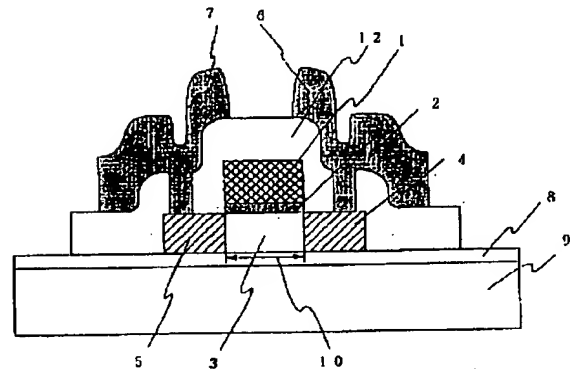
【符号の説明】

9、25	絶縁基板
8、24、52	ブロッキング層
3、19、67、68	チャンネル領域
10、28	チャンネル長
4、20、59、62	ソース領域
5、21、60、63	ドレイン領域
2、17、55、57	ゲート絶縁膜
1、15、65、66	ゲート電極
16、64	酸化物層
6、22	ソース電極
7、23	ドレイン電極
12、69	層間絶縁膜
51	ガラス基板
72	コンタクト
75	画素電極
32	電荷保持用コンデンサー
53	NTFT用半導体層
54	PTFT用半導体層
76	NTFT
77	PTFT

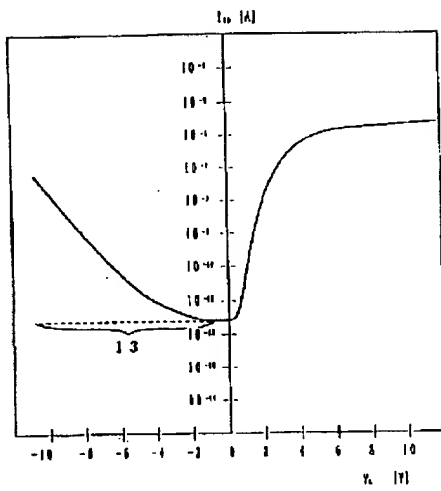
【図1】



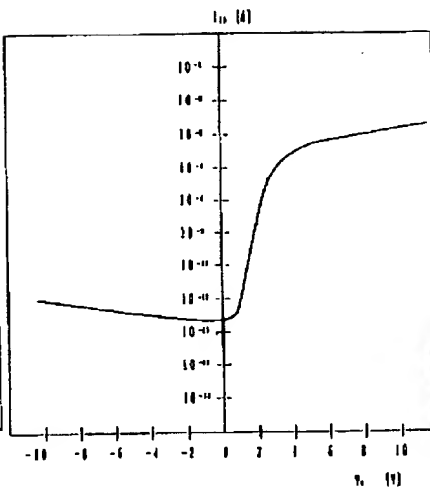
【図2】



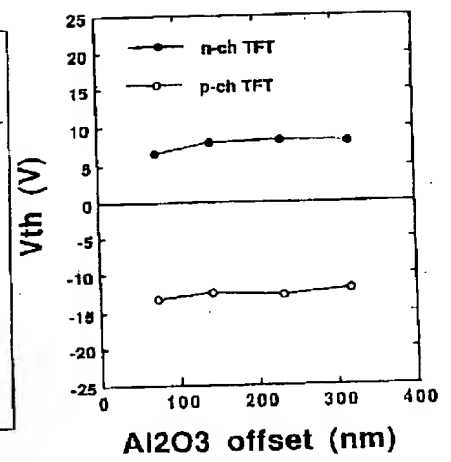
【図3】



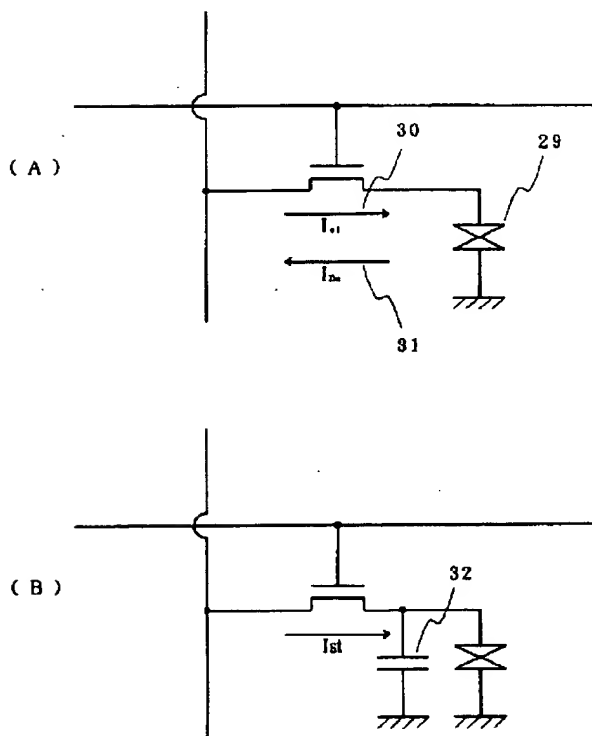
【図4】



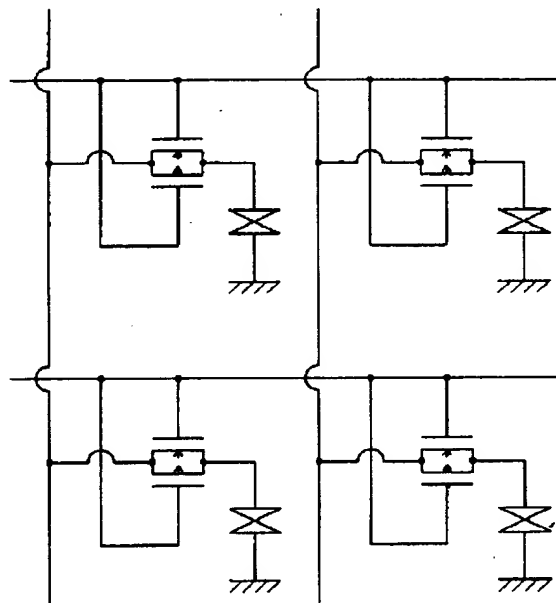
【図12】



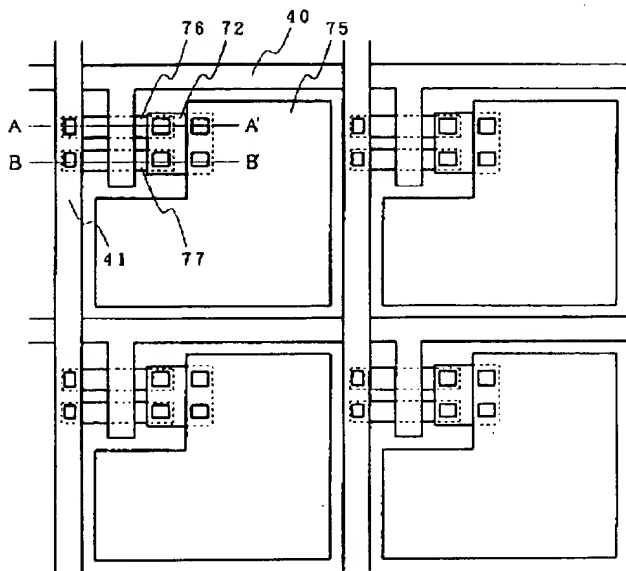
【図5】



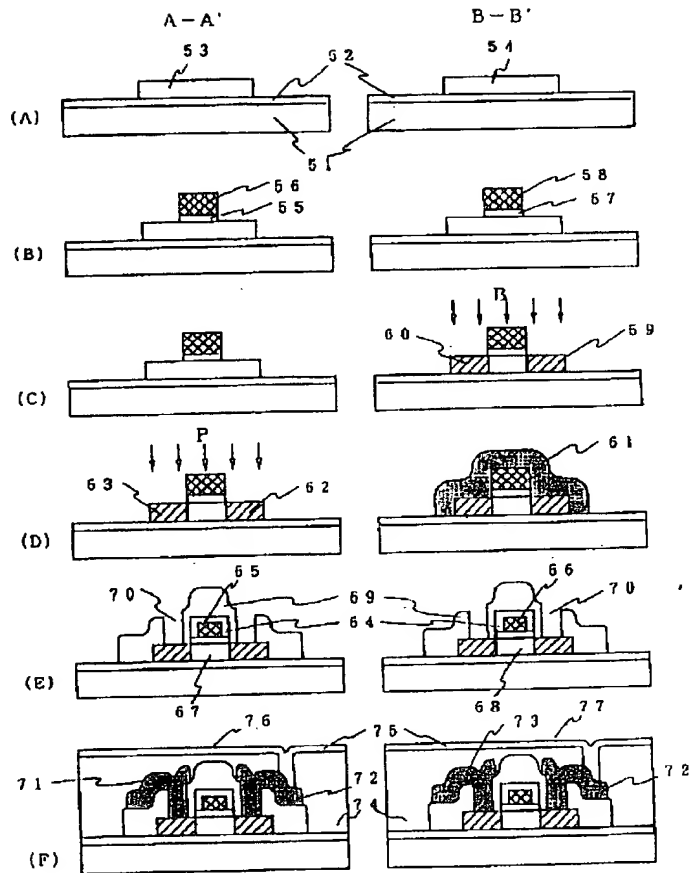
【図6】



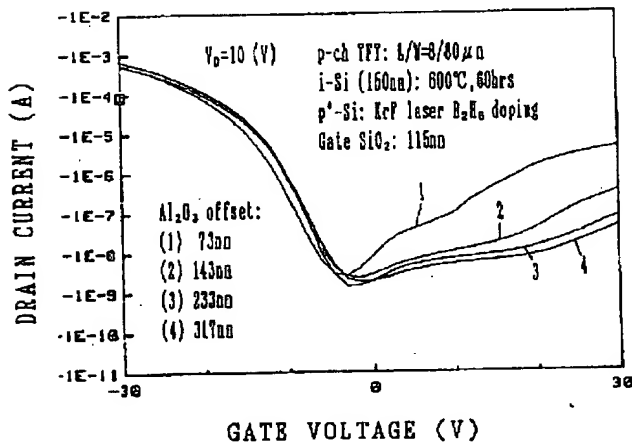
【図 7】



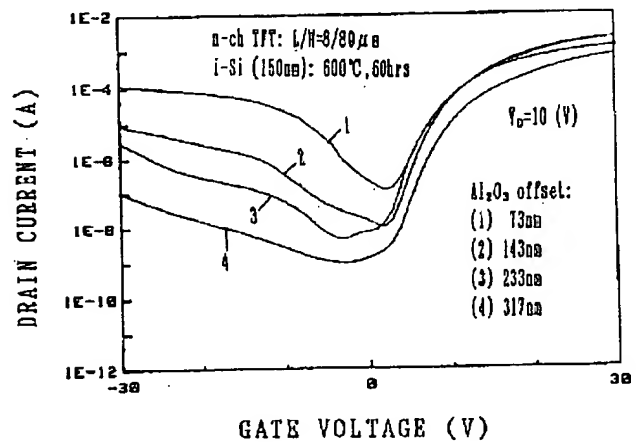
【図 8】



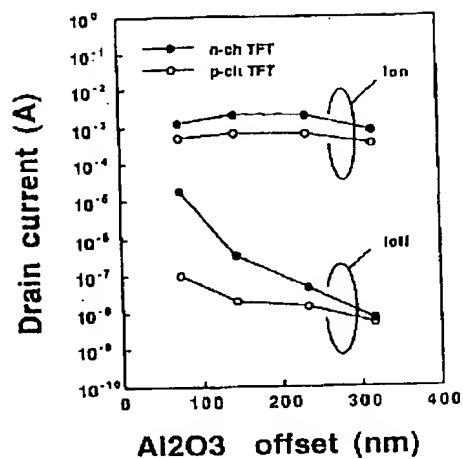
【図 9】



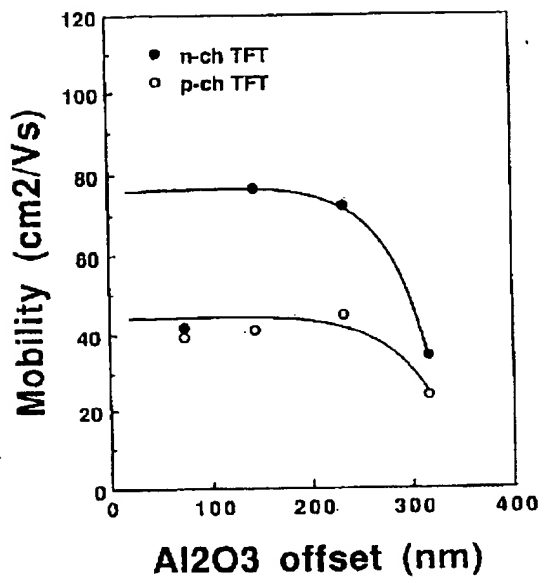
【図 10】



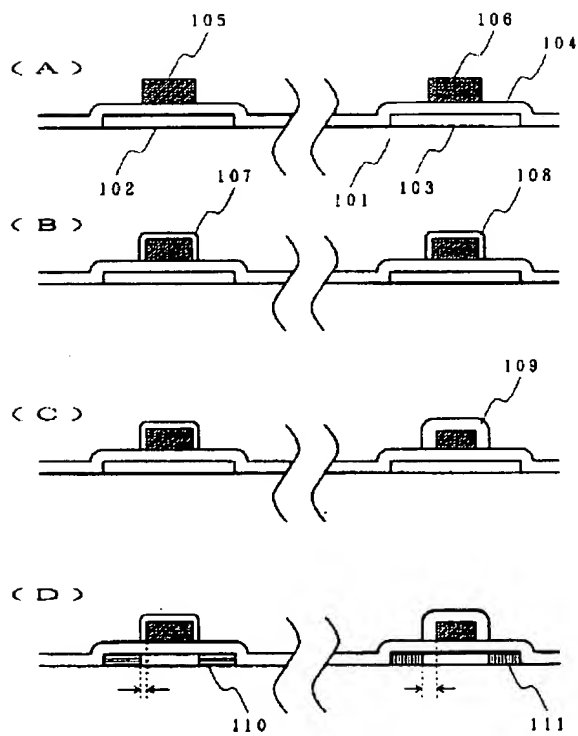
【図11】



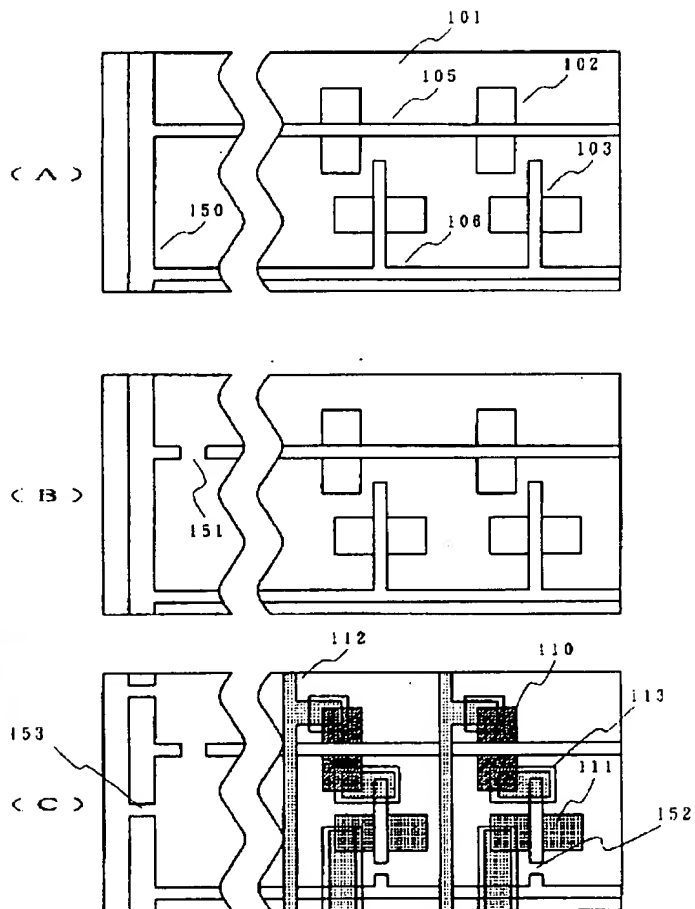
【図13】



【図14】



【図15】



フロントページの続き

(72) 発明者 竹村 保彦
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 張 宏勇
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 魚地 秀貴
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 根本 英樹
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内